

Requested Patent: JP11136254A

Title: ATM SHAPING MEMORY STORAGE PROCESSING UNIT ;

Abstracted Patent: JP11136254 ;

Publication Date: 1999-05-21 ;

Inventor(s): OHASHI SATOSHI ;

Applicant(s): NEC CORP ;

Application Number: JP19970299211 19971030 ;

Priority Number(s): ;

IPC Classification: H04L12/28 ; H04Q3/00 ;

Equivalents:

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To execute the accurate scrapping/processing of an inputted ATM cell even in a transmission band whose the burst property is increased without increasing the capacity of a shaping processing buffer. **SOLUTION:** ATM cells having the connection information of plural logical path identifiers and logical channel identifiers share one transmission band and shaping processing is conducted for traffic control in the transmission band. A shaping processing buffer 1 delays an input ATM cell for a prescribed time and outputs the delayed cell. A scheduling processing section 2 calculates an interval between the input ATM cell and a preceding ATM cell in the unit of the connection information to decide a required delay amt. Furthermore, a mapping processing section 3 retrieves a closest vacant time after the logical transmission time of the ATM cell in the case that the contention of storage addresses in the shaping processing buffer 1 is generated at a prescribed transmission time between the connection information and conducts the mapping processing of the corresponding ATM cells for the corresponding storage address at the time of detecting the vacant area.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-136254

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

G

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 有 請求項の数9 OL (全 9 頁)

(21) 出願番号 特願平9-299211

(22) 出願日 平成9年(1997)10月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大橋 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

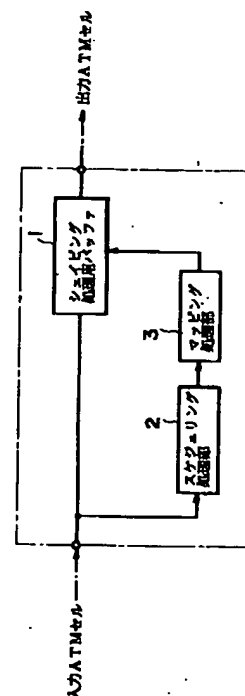
(74) 代理人 弁理士 渡辺 喜平

(54) 【発明の名称】 ATMシェイピングメモリ格納処理装置

(57) 【要約】

【課題】 シェイピング処理用バッファの容量を増大させずに、バースト性が増大化した伝送帯域中においても、正確な入力ATMセルの廃棄処理を行う。

【解決手段】 一つの伝送帯域を複数の論理バス識別子及び論理チャネル識別子のコネクション情報を有するATMセルが共有し、この伝送帯域におけるトラフィック制御のためのシェイピング処理を行う。シェイピング処理用バッファ1は入力ATMセルを一定時間遅延して出力する。スケジューリング処理部2がコネクション情報単位で入力ATMセルと前ATMセルとの間隔を演算し、必要な遅延量を決定する。更に、マッピング処理部3は、コネクション情報間で所定送出時刻でのシェイピング処理用バッファ1における格納アドレスの競合が発生した場合に、当該ATMセルの論理的送出時刻以降の最も近い空き時刻を探索し、この空き領域の検出時に該当する格納アドレスを該当するATMセルのマッピング処理を行う。



## 【特許請求の範囲】

【請求項1】 一つの伝送帯域を複数の論理パス識別子及び論理チャネル識別子のコネクション情報を有するATMセルが共有し、この伝送帯域におけるトラフィック制御のためのシェイピング処理を行うATMシェイピングメモリ格納処理装置において、  
前記入力ATMセルを遅延して出力するシェイピング処理用バッファと、  
前記コネクション情報単位での入力ATMセルと前ATMセルとの間隔を演算して必要な遅延量を決定し、かつ、入力ATMセルのコネクション情報及びスケジューリング結果に基づいて前記シェイピング処理用バッファにおけるオーバフロー時に空き領域の探索を行うアドレス管理手段と、  
を備えることを特徴とするATMシェイピングメモリ格納処理装置。

【請求項2】 前記アドレス管理手段として、コネクション情報単位で入力ATMセルと前ATMセルとの間隔を演算し、必要な遅延量を決定するスケジューリング処理部と、  
前記コネクション情報間かつ所定送出時刻でシェイピング処理用バッファにおける格納アドレスの競合が発生した際に、当該ATMセルの論理的送出時刻以降の最も近い空き時刻を探索し、この空き領域を検出した際に該当する格納アドレスに該当するATMセルのマッピング処理を行うマッピング処理部と、  
を備えることを特徴とする請求項1記載のATMシェイピングメモリ格納処理装置。

【請求項3】 前記シェイピング処理用バッファの容量を超えるバースト性を有したコネクション情報の入力ATMセルを、コネクション情報を単位として前記シェイピング処理用バッファへ格納し、このシェイピング処理用バッファの容量内でのシェイピング処理を行うことを特徴とする請求項1記載のATMシェイピングメモリ格納処理装置。

【請求項4】 前記スケジューリング処理部として、  
入力ATMセルに対するヘッダ識別を行うヘッダ識別部と、  
シェイピングパラメータと演算結果とを格納するシェイピングパラメータ／演算結果格納部と、  
時刻の管理を行う時刻管理部と、  
スケジューリング演算を行うスケジューリング演算部と、  
を備えることを特徴とする請求項2記載のATMシェイピングメモリ格納処理装置。

【請求項5】 前記マッピング処理部として、  
入力ATMセルの論理的な送出時刻に該当するシェイピング処理用バッファでの格納領域を示すアドレス情報を管理するアドレス使用／未使用管理部と、  
空きアドレスを判定する空アドレス判定部と、  
を備えることを特徴とする請求項2記載のATMシェイ

ピングメモリ格納処理装置。

【請求項6】 前記マッピング処理部へATMセルのヘッダフィールドの廃棄不可を示す高優先情報又は無条件廃棄を示す低優先情報を識別した識別情報を送出するATMセル識別部を更に備え、

このATMセル識別部が、入力ATMセルに対して、高優先情報又は低優先情報を識別し、この識別情報が低優先情報である場合に、前記マッピング処理部を通じた処理によってオーバフロー時に入力ATMセルを無条件に破棄することを特徴とする請求項2記載のATMシェイピングメモリ格納処理装置。

【請求項7】 前記請求項1乃至4記載の装置を、ATMネットワークにおけるユーザ通信端末送信端に設けることを特徴とするATMシェイピングメモリ格納処理装置。

【請求項8】 前記請求項1乃至4記載の装置を、ATMネットワーク送受信端部に設けることを特徴とするATMシェイピングメモリ格納処理装置。

【請求項9】 前記請求項1乃至4記載の装置を、ATMネットワーク内のトラフィック制御ノードに設けることを特徴とするATMシェイピングメモリ格納処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ユーザ通信端末送信端、ATM（非同期転送モード）ネットワーク送受信端部、ATMネットワーク内のトラフィック制御ノード等のATMトラフィックにおけるシェイピング処理を行うためのATMシェイピングメモリ格納処理装置に関し、特に、シェイピング処理用バッファの容量を超えるオーバフロー時にも空き領域の探索を行うATMシェイピングメモリ格納処理装置に関する。

## 【0002】

【従来の技術】従来、ATMネットワークでは、ATMトラフィックにおけるATMセル（48バイト：情報フィールド 5バイト：ヘッダフィールド）の数を各チャネルのビットレートに比例させて伝送している。このためATMセルをセル遅延バッファに記憶して待ち合わせ、その時間軸を調整して転送している。すなわち、ATMトラフィックにおけるATMセルの不均一を改善するシェイピング（整列）処理を行っている。

【0003】このシェイピング処理では、一つの伝送帯域を複数の論理パス識別子（VPI:Virtual Path Identifier）及び論理チャネル識別子（VCI:Virtual Channel Identifier）のコネクション情報を有するATMセルが一つのATMネットワークの伝送帯域を共有する場合、特に、ATMネットワークでのトラフィック特性によって、この伝送帯域の内部で発生するATMセル流のバースト性を軽減するため、ATMセル流の送出時刻管理、すなわち、入力ATMセル（受信ATMセル）を契約な

どにおける所定パラメータに基づいて一定間隔となる遅延を施して送出する。

【0004】例えば、特開平6-46085号「多重化クロスコネク装置」公報では、多重化クロスコネク装置内のバッファのキュー長の測定による結果が、バッファ長よりも小さい、ある一定値に達した際に、所要のバスへの呼の受付を制限するための制限信号を送出している。これによって、バッファ溢れによるATMセル廃棄を低減している。この公報例ではATMトラフィックでのATMセルの不均一を改善するために、ATM交換機でのバッファリング機能を用い、そのCPU制御によってシェイピング処理を行っており、メモリ容量を超えるバッファ溢れのようなATMトラフィックでのシェイピング処理には対応できない。

【0005】ATMトラフィックでは、同一の伝送帯域を共有する際に、ネットワーク管理者が許容可能と判断したバーストが発生する。すなわち、ATMネットワーク中のATMセル多重化や違反ATMセルを許容可能としたタギングなどが多数含まれ、このためATMトラフィックなどの事前の設計値に対応するシェイピング処理に必要なセル遅延バッファを用いている。すなわち、バースト性の軽減のために、入力ATMセルのATMセル間隔を前ATMセルに対して一定間隔以上引き離すという操作を行っている。この場合、入力ATMセルを一定間隔以上遅延させるセル遅延バッファの容量を超えるようなバーストATMセルが発生し易くなる。

【0006】この容量を超える入力ATMセルは無条件に廃棄される。この場合、その対策としてセル遅延バッファの容量の増大を図ることになるが、この適切な容量の増大が事前、すなわち、ATMネットワークの設計時に容易に判明しない。また、このセル遅延バッファの容量の増大化を図ると、その装置規模が増大する。

【0007】

【発明が解決しようとする課題】このように上記従来例では、セル遅延バッファの容量を超えるようなバーストATMセルが発生し易くなり、この容量を超える入力ATMセルが無条件に廃棄され、データ伝送の信頼性が低下する。また、この対策としてセル遅延バッファの容量の増大化を図ると、その適切な容量の増大が事前、すなわち、ATMネットワークの設計時に容易に判明しないため、必要以上に容量の増大化すると、その装置規模が増大化してしまう。また、必要な容量の増大化が行われない場合は、前記のようにデータ伝送の信頼性が低下することになる。

【0008】本発明は、このような従来の技術における課題を解決するものであり、シェイピング処理用バッファの容量が増大化することなく、ATMネットワーク中のATMセル多重化やタギングATMセル等によって発生するバースト性が増大化した伝送帯域中においても、正確かつ確実な入力ATMセル（受信ATMセル）の廃

棄処理が可能になるATMシェイピングメモリ格納処理装置の提供を目的とする。

【0009】

【課題を解決するための手段】上記課題を達成するために、請求項1記載の発明は、一つの伝送帯域を複数の論理バス識別子及び論理チャネル識別子のコネクション情報を有するATMセルが共有し、この伝送帯域におけるトラフィック制御のためのシェイピング処理を行うATMシェイピングメモリ格納処理装置において、入力ATMセルを遅延して出力するシェイピング処理用バッファと、コネクション情報単位での入力ATMセルと前ATMセルとの間隔を演算して必要な遅延量を決定し、かつ、入力ATMセルのコネクション情報及びスケジューリング結果に基づいてシェイピング処理用バッファにおけるオーバフロー時に空き領域の探索を行うアドレス管理手段とを備える構成としてある。

【0010】請求項2記載のATMシェイピングメモリ格納処理装置は、前記アドレス管理手段として、コネクション情報単位で入力ATMセルと前ATMセルとの間隔を演算し、必要な遅延量を決定するスケジューリング処理部と、コネクション情報間かつ所定送出時刻でシェイピング処理用バッファにおける格納アドレスの競合が発生した際に、当該ATMセルの論理的送出時刻以降の最も近い空き時刻を探索し、この空き領域を検出した際に該当する格納アドレスに該当するATMセルのマッピング処理を行うマッピング処理部とを備える構成としてある。

【0011】請求項3記載のATMシェイピングメモリ格納処理装置は、前記シェイピング処理用バッファの容量を超えるバースト性を有したコネクション情報の入力ATMセルを、コネクション情報を単位としてシェイピング処理用バッファへ格納し、このシェイピング処理用バッファの容量内でのシェイピング処理を行う構成としてある。

【0012】請求項4記載のATMシェイピングメモリ格納処理装置は、前記スケジューリング処理部として、入力ATMセルに対するヘッダ識別を行うヘッダ識別部と、シェイピングパラメータと演算結果とを格納するシェイピングパラメータ／演算結果格納部と、時刻の管理を行う時刻管理部と、スケジューリング演算を行うスケジューリング演算部とを備える構成としてある。

【0013】請求項5記載のATMシェイピングメモリ格納処理装置は、前記マッピング処理部として、入力ATMセルの論理的な送出時刻に該当するシェイピング処理用バッファでの格納領域を示すアドレス情報を管理するアドレス使用／未使用管理部と、空きアドレスを判定する空アドレス判定部とを備える構成としてある。

【0014】請求項6記載のATMシェイピングメモリ格納処理装置は、前記マッピング処理部へATMセルのヘッダフィールドの廃棄不可を示す高優先情報又は無条

件廃棄を示す低優先情報を識別した識別情報を送出するATMセル識別部を更に備え、このATMセル識別部が、入力ATMセルに対して、高優先情報又は低優先情報を識別し、この識別情報が低優先情報である場合に、マッピング処理部を通じた処理によってオーバーフロー時に入力ATMセルを無条件に破棄する構成としてある。

【0015】請求項7記載のATMシェイピングメモリ格納処理装置は、前記請求項1乃至4記載の装置を、ATMネットワークにおけるユーザ通信端末送信端に設ける構成としてある。

【0016】請求項8記載のATMシェイピングメモリ格納処理装置は、前記請求項1乃至4記載の装置を、ATMネットワーク送受信端部に設ける構成としてある。

【0017】請求項9記載のATMシェイピングメモリ格納処理装置は、前記請求項1乃至4記載の装置を、ATMネットワーク内のトラフィック制御ノードに設ける構成としてある。

【0018】このような構成の請求項1乃至5及び7乃至9記載のATMシェイピングメモリ格納処理装置は、コネクション情報単位で入力ATMセルと前ATMセルとの間隔を演算して必要な遅延量を決定し、かつ、入力ATMセルのコネクション情報及びスケジューリング結果に基づいて、シェイピング処理用バッファにおけるオーバーフロー時にも空き領域の探索を行っている。

【0019】したがって、送出時刻管理における該当する格納領域が空きであれば、該当アドレスにマッピング処理を行い、すでに他のATMセルがマッピング処理を終了して競合した場合は、空き領域探索の結果、その空きアドレスの検出時に該当アドレスに対するマッピング処理が出来るようになり、スケジューリング処理でのオーバーフローの演算結果時にシェイピング処理用バッファの最後尾での格納が可能になる。

【0020】請求項6乃至9記載のATMシェイピングメモリ格納処理装置は、入力ATMセルに対して、ATMセルのヘッダフィールドの廃棄不可を示す高優先情報(CLP=0)又は無条件廃棄を示す低優先情報(CLP=1)を識別し、低優先情報を識別した際の識別情報によって、入力ATMセルに対してオーバーフロー時に無条件で破棄する処理を行う。

【0021】これらの結果、シェイピング処理用バッファの容量が増大化することなく、ATMネットワーク中のATMセル多重化やタギングATMセル等によって発生するバースト性が増大化した伝送帯域中においても、正確かつ確実な入力ATMセル(受信ATMセル)の廃棄処理が可能になる。

【0022】

【発明の実施の形態】次に、本発明のATMシェイピングメモリ格納処理装置の実施の形態を図面を参照して詳細に説明する。図1は本発明のATMシェイピングメモリ格納処理装置の第1実施形態における構成を示すブ

ロック図である。この例は、入力ATMセルを一定時間遅延して出力するシェイピング処理用バッファ1と、コネクション情報単位で入力ATMセルと前ATMセルとの間隔を演算して、必要な遅延量を決定するスケジューリング処理部2とを有している。更に、コネクション情報間かつ所定送出時刻でシェイピング処理用バッファ1における格納アドレスの競合が発生した場合に、当該するATMセルの論理的送出時刻以降の最も近い空き時刻を探索し、この探索による空き領域の検出時に該当する格納アドレスに該当するATMセルのマッピング処理を行うマッピング処理部3を有している。

【0023】シェイピング処理用バッファ1は、入力ATMセルを図1及び図8に示すマッピング処理部3からの書込アドレス及び読出アドレスによってランダム書き込みを行い、かつ、シーケンシャル読み出しを行う。スケジューリング処理部2は、入力ATMセルを所定間隔で送出するために、同一コネクション情報における前ATMセルとの間隔を、シェイピングアルゴリズム演算で求めて必要な遅延量を決定した後に、所定の送出時刻を示す入力ATMセルの格納アドレスを送出する。

【0024】マッピング処理部3は、スケジューリング処理部2からの入力ATMセル格納アドレスに基づいて該当するアドレスにおける空き状況の検出を実行し、又は、該当アドレスが他のATMセルのマッピング終了によって競合状態になった場合における、該当するアドレス以降の最も近い空き領域の探索を実行する。この実行では入力ATMセルのシェイピング処理用バッファ1における格納領域を決定し、該当する空き領域を示す空き領域アドレスを入力ATMセルのコネクション情報番号、及び、ATMセル格納の有無情報の格納を行う。更に、マッピング処理部3は、シェイピング処理用バッファ1に対する入力ATMセルの書込アドレスを出力して、入力ATMセルのマッピング処理を実行する。

【0025】図2はATMネットワークにおける図1に示すATMシェイピングメモリ格納処理装置の配置状態を示すブロック図である。この例は複数のATMネットワーク(ATM加入者ネットワーク5、ATM中継ネットワーク6、7)間でのATMセル遅延ゆらぎ(CVD: Cell Delay Variation)を吸収するためATM機器の入力部、すなわち、ATM加入者ネットワーク5、ATM中継ネットワーク6間のUNI(User Network Interface)や、ATM中継ネットワーク6、7間のNNI(Network Node Interface)にATMシェイピングメモリ格納処理装置8、9が設けられている。

【0026】図3は図1に示すATMシェイピングメモリ格納処理装置のネットワークにおける他の配置状態を示すブロック図である。この例は複数のATMネットワーク(ATM加入者ネットワーク5、ATM中継ネットワーク6、7)間でのATMセル遅延ゆらぎ(CVD)を吸収するためATM機器の出力部、すなわち、ATM

加入者ネットワーク5、ATM中継ネットワーク6、7間のUNIや、中継ネットワーク間のNNIにATMシェイピングメモリ格納処理装置10、11が設けられている。

【0027】図4は図1に示すATMシェイピングメモリ格納処理装置が配置される装置の構成を示すブロック図である。この例はATMセルインタフェース(I/F)回路からのATMセルが入力されるセル遅延バッファ13、14...1nを有している。更に、セル遅延バッファ13...1nからのATMセルを多重化装置(MUX)16で多重化し、この後段にATMシェイピングメモリ格納処理装置17が配置されている。

【0028】図5は図1に示すATMシェイピングメモリ格納処理装置が配置される他の装置構成を示すブロック図である。この例はATMスイッチ(SW)の入力ポートからのATMセルが入力されるセル遅延バッファ20、21...1nの出力側に、ATMシェイピングメモリ格納処理装置30が設けられ、この後段としてATMスイッチ(SW)31が設けられている。

【0029】図6は図1に示すATMシェイピングメモリ格納処理装置が配置される更に他の装置構成を示すブロック図である。この例はATMセルがATMスイッチ(SW)32を通じてセル遅延バッファ33、34...3nに入力され、かつ、この出力側に設けられたATMシェイピングメモリ格納処理装置40の出力、すなわち、ATMスイッチ(SW)としての出力ポートからATMセルが送出される。

【0030】図7は図1中のスケジューリング処理部2の内部構成を示すブロック図である。このスケジューリング処理部2は、入力ATMセルに対するヘッダ識別を行うヘッダ識別部2aと、シェイピングパラメータと演算結果とを格納するシェイピングパラメータ/演算結果格納部2bとを有し、更に、時刻の管理を行う時刻管理部2cと、スケジューリング演算を行うスケジューリング演算部2dとを有している。

【0031】図8は図1中のマッピング処理部3の内部構成を示すブロック図である。このマッピング処理部3は、入力ATMセルの論理的な送出時刻に該当するシェイピング処理用バッファ1での格納領域を示すアドレス情報を管理するアドレス使用/未使用管理部3a及び空きアドレスを判定する空きアドレス判定部3bを有している。このマッピング処理部3及び図7に示したスケジューリング処理部2は、マイクロプロセッサ(MPU)などの論理演算で実現可能である。

【0032】次に、この第1実施形態の動作について説明する。図1において、同一の伝送帯域内のバースト性が高いトラフィック特性を有するATMセル流がシェイピング処理用バッファ1及びスケジューリング処理部2に入力される。スケジューリング処理部2では図7に示すヘッダ識別部2aが入力ATMセルのヘッダフィールドか

ら該当するATMセルにおけるコネクション情報番号(VPI, VPI)を抽出する。

【0033】また、スケジューリング処理部2では、入力ATMセルの到着時刻と前回入力された同一のコネクション情報番号の送出時刻情報、及び、該当コネクション情報番号に対して事前に設定されている送出ATMセルの間隔情報に基づいて入力ATMセルの論理的な送出時刻を図7に示すシェイピングパラメータ/演算結果格納部2b、時刻管理部2c及びスケジューリング演算部2dによって、そのシェイピングアルゴリズム演算を行う。この演算で決定した入力ATMセルの論理的な送出時刻をマッピング処理部3に送出する。

【0034】マッピング処理部3では、スケジューリング処理部2からのアドレス情報を受け取ると入力ATMセルの論理的な送出時刻に該当するシェイピング処理用バッファ1での格納領域を示すアドレス情報を管理するアドレス使用/未使用管理部3a及び空きアドレス判定部3bにおいて、入力ATMセルの所定送出時刻の該当アドレスの空き状態の判定を行う。

【0035】マッピング処理部3はシェイピング処理用バッファ1でオーバフローとなるアドレス情報がスケジューリング処理部2から演算結果として入力された場合、入力ATMセルの到着時刻からシェイピング処理用バッファ1の格納領域内における最も近くの、該当するATMセル送出時刻を該当アドレスとして、入力ATMセルのコネクション情報番号、及び、ATMセル格納終了情報をアドレス使用/未使用管理部3a及び空きアドレス判定部3bに格納し、更に、該当アドレス情報をシェイピング処理用バッファ1へ書込アドレス情報として出力する。この結果、入力ATMセルを廃棄せずに、シェイピング処理が行われる。

【0036】次に、この第1実施形態の要部について説明する。図9はATMセル空領域管理テーブルの内容を示すブロック図である。上記のように同一の伝送帯域内のバースト性が高いトラフィック特性を有するATMセル流が、シェイピング処理用バッファ1及びスケジューリング処理部2に入力された場合、図7に示すヘッダ識別部2aが入力ATMセルのヘッダフィールドから該当するATMセルにおけるコネクション情報番号(VPI, VPI)を抽出する。

【0037】この抽出の後に、入力ATMセルの到着時点の到着時刻、及び、該当コネクション情報番号に対して事前に設定されている送出ATMセル間隔情報に基づいて入力ATMセルの論理的な送出時刻を図7に示すシェイピングパラメータ/演算結果格納部2b、時刻管理部2c及びスケジューリング演算部2dを通じて処理した入力ATMセルの論理的な送出時刻をマッピング処理部3に送出する。

【0038】マッピング処理部3では、スケジューリング処理部2からのアドレス情報を受け取ると入力ATMセ

ルの論理的な送出時刻に該当するシェイピング処理用バッファ1での格納領域を示すアドレス情報を管理するアドレス使用/未使用管理部3a及び空アドレス判定部3bの処理を通じて、入力ATMセルの所定送出時刻の該当アドレスの空き状態の判定を行う。

【0039】マッピング処理部3はシェイピング処理用バッファ1でオーバーフローとなるアドレス情報がスケジューリング処理部2から演算結果として入力された場合、図9に示すように入力ATMセルの到着時刻の1ATMセル時刻前にシェイピング処理用バッファ1からATMセルが送出されて空き領域となった管理アドレス、すなわち、オーバーフローに該当するATMセル到着時刻からシェイピング処理用バッファ1の格納領域内で最も近くの、該当するATMセル送出時刻に該当したアドレスを、シェイピング処理用バッファ1での格納位置とする書込アドレス情報を決定する。

【0040】図10は第2実施形態の構成を示すブロック図である。この第2実施形態では、図1に示した第1実施形態の構成のシェイピング処理用バッファ1、スケジューリング処理部2及びマッピング処理部3に加えて、ATMセルのヘッダフィールドのCLPビット識別を行うATMセル識別部4が設けられている。

【0041】この第2実施形態では、シェイピング処理用バッファ1、スケジューリング処理部2及びマッピング処理部3は、第1実施形態と同様に動作する。ATMセル識別部4は、入力ATMセルに対して、廃棄不可を示す高優先情報であるCLP=0又は無条件廃棄を示す低優先情報であるCLP=1を識別する。ATMセル識別部4が、この識別情報をマッピング処理部3に送出する。マッピング処理部3では無条件廃棄を示す低優先情報であるCLP=1の識別情報によって、入力ATMセルに対してオーバーフロー時に無条件に破棄するための処理が実行される。

【0042】

【発明の効果】以上の説明から明らかなように、請求項1乃至5及び7乃至9記載のATMシェイピングメモリ格納処理装置によれば、コネクション情報単位で入力ATMセルと前ATMセルとの間隔を演算して必要な遅延量を決定し、かつ、入力ATMセルのコネクション情報及びスケジューリング結果に基づいて、シェイピング処理用バッファにおけるオーバーフロー時にも空き領域の探索を行っている。

【0043】また、請求項6乃至9記載のATMシェイピングメモリ格納処理装置では、入力ATMセルに対して、低優先情報を識別した際の識別情報によって、入力ATMセルに対してオーバーフロー時に無条件に破棄する

処理を行う。

【0044】これらの結果、シェイピング処理用バッファの容量が増大化することなく、ATMネットワーク中のATMセル多重化やタギングATMセル等によって発生するバースト性が増大化した伝送帯域中においても、正確かつ確実な入力ATMセルの廃棄処理が可能になる。

【図面の簡単な説明】

【図1】本発明のATMシェイピングメモリ格納処理装置の第1実施形態における構成を示すブロック図である。

【図2】第1実施形態にあってATMシェイピングメモリ格納処理装置の配置状態を示すブロック図である。

【図3】第1実施形態にあってATMシェイピングメモリ格納処理装置の他の配置状態を示すブロック図である。

【図4】第1実施形態にあってATMシェイピングメモリ格納処理装置が配置される装置構成を示すブロック図である。

【図5】第1実施形態にあってATMシェイピングメモリ格納処理装置が配置される他の装置構成を示すブロック図である。

【図6】第1実施形態にあってATMシェイピングメモリ格納処理装置が配置される更に他の装置構成を示すブロック図である。

【図7】図1中のスケジューリング処理部の内部構成を示すブロック図である。

【図8】図1中のマッピング処理部の内部構成を示すブロック図である。

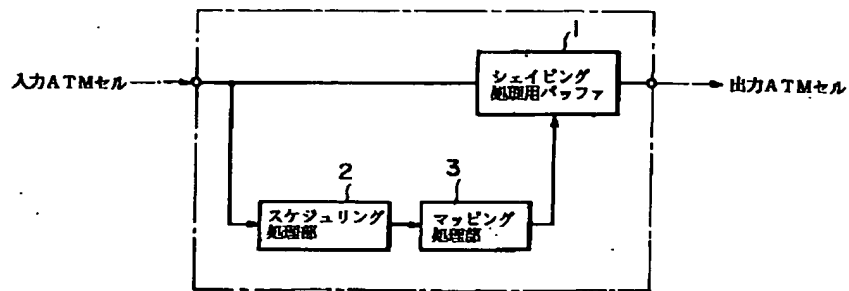
【図9】第1実施形態におけるATMセル空領域管理テーブル内容を示すブロック図である。

【図10】第2実施形態の構成を示すブロック図である。

【符号の説明】

- 1 シェイピング処理用バッファ
- 2 スケジューリング処理部
  - 2a ヘッダ識別部
  - 2b シェイピングパラメータ/演算結果格納部
  - 2c 時刻管理部
  - 2d スケジューリング演算部
- 3 マッピング処理部
  - 3a アドレス使用/未使用管理部
  - 3b 空アドレス判定部
- 4 ATMセル識別部
- 8~11, 17, 30, 40 ATMシェイピングメモリ格納処理装置

【図1】



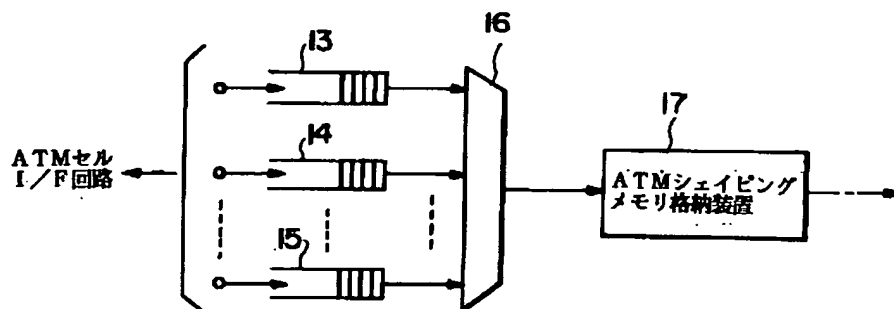
【図2】



【図3】

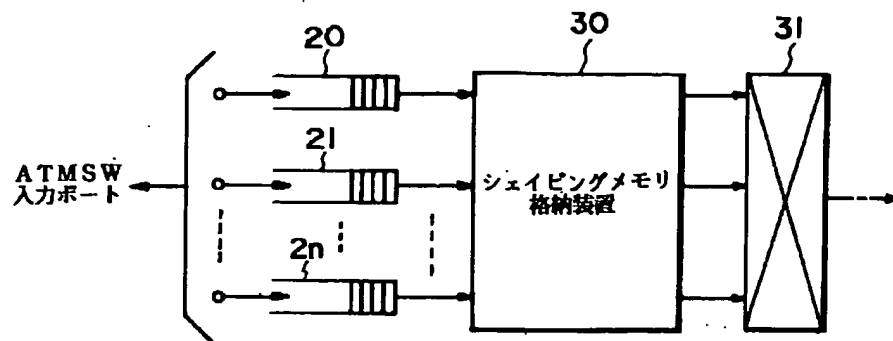


【図4】

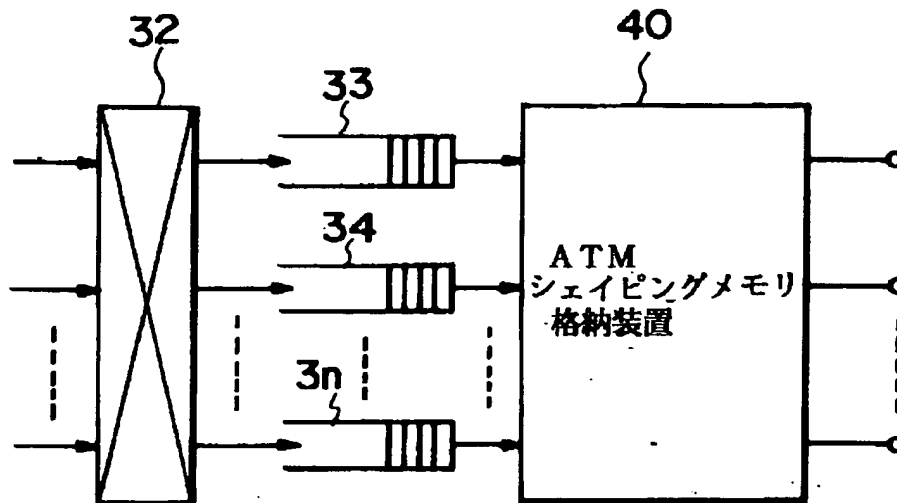




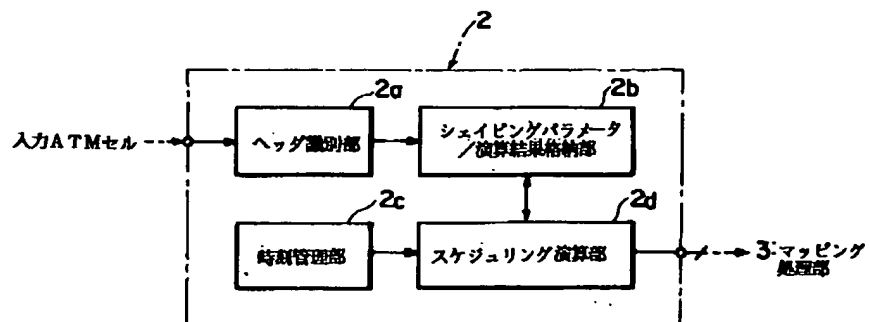
【図5】



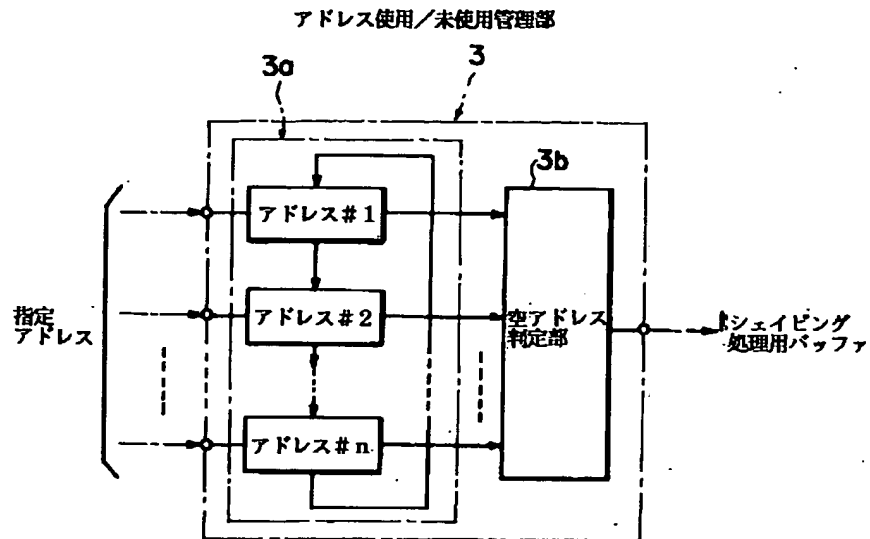
【図6】



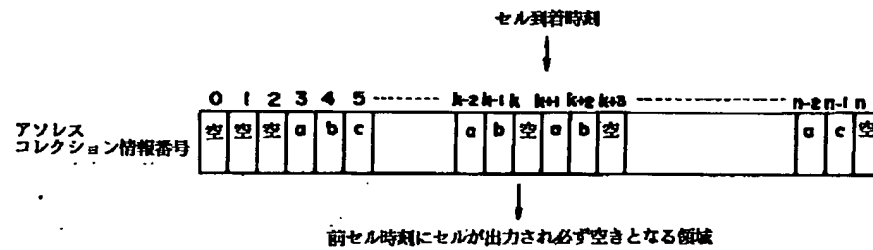
【図7】



【図8】



【図9】



【図10】

